

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshiharu UETANI

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: IMAGE PROCESSING APPARATUS, IMAGE PROCESSING METHOD AND IMAGE PROCESSING SYSTEM

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-115355	April 21, 2003
Japan	2003-202132	July 25, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 ・ 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 2 1 日
Date of Application:

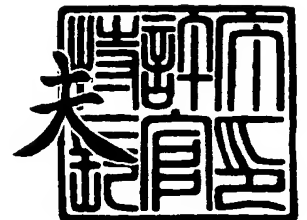
出 願 番 号 特 願 2 0 0 3 - 1 1 5 3 5 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 1 5 3 5 5]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 4 年 1 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 4 - 3 0 0 3 1 1 2

【書類名】 特許願

【整理番号】 ASB02Z0031

【あて先】 特許庁長官殿

【国際特許分類】 G06T 3/40

【発明の名称】 画像処理装置および画像処理方法

【請求項の数】 11

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 上谷 義治

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100083161

 【弁理士】

 【氏名又は名称】 外川 英明

 【電話番号】 (03)3457-2512

【手数料の表示】

 【予納台帳番号】 010261

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置および画像処理方法

【特許請求の範囲】

【請求項 1】 実画素の画素値が入力され、この実画素の画素値を用いて高域補正された生成画素の画素値を算出する第 1 のフィルタと、
前記実画素の画素値および前記生成画素の画素値が入力され、これらの画素値を用いて線形補間法により補間画素の画素値を算出する第 2 のフィルタとを具備することを特徴とする画像処理装置。

【請求項 2】 実画素の画素値が入力され、この実画素の画素値を用いて高域強調された生成画素の画素値を算出する第 1 のフィルタと、
前記生成画素の画素値が入力され、この画素値を用いて線形補間法により補間画素の画素値を算出する第 2 のフィルタとを具備することを特徴とする画像処理装置。

【請求項 3】 実画素の画素値が入力され、この実画素の画素値を用いて、高域補正もしくは高域強調された生成画素の画素値を算出する第 1 のフィルタと、
前記生成画素の画素値が高域補正されたものである場合、前記実画素の画素値および前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出し、
前記生成画素の画素値が高域強調されたものである場合、前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出する第 2 のフィルタとを具備することを特徴とする画像処理装置。

【請求項 4】 前記第 2 のフィルタが、前記補間画素の画素値を振幅制限する振幅制限器を有することを特徴とする請求項 2 または 3 のいずれか 1 項記載の画像処理装置。

【請求項 5】 前記実画素の画素値を記憶し、前記第 1 のフィルタへ前記実画素の画素値を出力するバッファメモリと、
画素数変換比率に従って、前記第 1 のフィルタ、前記第 2 のフィルタ、および、
前記バッファメモリの動作を制御する制御回路とを更に具備することを特徴とする請求項 1 乃至 4 のいずれか 1 項記載の画像処理装置。

【請求項 6】 前記第 1 のフィルタが、前記制御回路から入力されたフィルタ係

数を用いて前記実画素の画素値の畳み込み演算を行い、前記生成画素の画素値を算出することを特徴とする請求項 5 記載の画像処理装置。

【請求項 7】 前記第 1 のフィルタが、偶数個の前記実画素の画素値の畳み込み演算を行い、前記高域補正された生成画素の画素値を算出することを特徴とする請求項 1 または 3 のいずれか 1 項記載の画像処理装置。

【請求項 8】 前記第 1 のフィルタが、前記実画素の画素値を用いて高域制限された生成画素の画素値を算出することを特徴とする請求項 1 乃至 7 のいずれか 1 項記載の画像処理装置。

【請求項 9】 実画素の画素値を用いて高域補正された生成画素の画素値を算出する第 1 の処理ステップと、
前記実画素の画素値および前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出する第 2 の処理ステップとを具備することを特徴とする画像処理方法。

【請求項 10】 実画素の画素値を用いて高域強調された生成画素の画素値を算出する第 1 の処理ステップと、
前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出する第 2 の処理ステップとを具備することを特徴とする画像処理方法。

【請求項 11】 実画素の画素値を用いて、高域補正もしくは高域強調された生成画素の画素値を算出する第 1 の処理ステップと、
前記生成画素の画素値が高域補正されたものである場合、前記実画素の画素値および前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出し、
前記生成画素の画素値が高域強調されたものである場合、前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出する第 2 の処理ステップとを具備することを特徴とする画像処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像処理装置および画像処理方法に関し、特に、画像サイズ（画素数）の変換を行う画像処理装置および画像処理方法に関するものである。

【0 0 0 2】**【従来の技術】**

TVなどの表示装置で用いられる任意倍率での拡大や縮小の表示機能には、多くの種類の画像サイズ変換が求められる。

【0 0 0 3】

この画像サイズ変換のうちの画像の拡大（画素数の増加）は、画素間に新たな画素を補間することにより行われる。この画素補間方法の代表的なものに、線形補間法と最近傍補間法とがある。

【0 0 0 4】

線形補間法とは、補間画素（補間により新たに生成される画素）と参照画素（補間画素を生成するために画素値が参照される画素）との距離に応じた値を係数とし、その係数を参照画素の画素値に重みづけすることで複数の参照画素の加重平均を行い、補間画素の画素値を算出する方法である。一方、最近傍補間法とは、補間画素の位置に最も近い参照画素の画素値を補間画素の画素値とする方法である。なお、画素値とは、画素の明るさや色の濃淡を表すデータ値であり、以下では、この画素値が0～255の間の実数で表された場合を例に挙げて説明する。

【0 0 0 5】

しかしながら、これらの画素補間方法には、以下のような問題があった。線形補間法は、元画像（サイズ変換前の画像）の画素をサイズ変換後の画像に用いない場合、画像の高周波成分が失われ、サイズ変換後の画像にぼけが生じる可能性があった。一方、最近傍補間法は、線画画像に適用した場合、線幅が一定にならないためにエッジ部が強調され、画質が劣化する可能性があった。

【0 0 0 6】

このような背景から、上記の問題を解決する画素補間方法として、補間画素と参照画素との距離に応じて線形補間法と最近傍補間法とを切り替えて画素の補間を行う画素補間方法が提案されている（例えば、特許文献1参照）。ここでは、便宜上、この画素補間方法を線形補間／最近傍補間切替法と呼ぶ。

【0 0 0 7】

図19は、この線形補間／最近傍補間切替法における、補間画素の両脇の参照画素2点から補間画素が受ける影響の変化を表す図である。横軸は、画素位置を0.0および1.0とした参照画素2点に対する補間画素の画素位置（位相）を示しており、一方、縦軸は、補間画素の画素値が参照画素2点から受ける影響の比率 α を示している。補間画素の画素値は、この値 α と画素位置0.0の参照画素の画素値との乗算結果に、値 $(1-\alpha)$ と画素位置1.0の参照画素の画素値との乗算結果を足し合わせることで求められる。また、実線は、線形補間／最近傍補間切替法により補間した場合を示し、破線は、一般的な線形補間法により補間した場合を示している。

【0008】

線形補間／最近傍補間切替法では、補間画素と参照画素との距離を算出し、その距離が特定の閾値以上であれば、線形補間法により補間画素を生成する。一方、補間画素と参照画素との距離が閾値以下であれば、最近傍補間法により補間画素を生成する。

【0009】

このように、補間画素と参照画素との距離に応じて線形補間法と最近傍補間法とを切り替えると、補間画素と参照画素との距離が近い場合には、最近傍補間法により参照画素の画素値がそのまま補間画素の画素値となるため、画像の高周波成分が失われず、画像のぼけの発生を防ぐことができる。また、補間画素と参照画素との距離が遠い場合には、線形補間法が適用されるため、線幅が不均等にならず、エッジ部が強調されることを防ぐことができる。

【特許文献1】

特開2002-209096号公報（第4～6頁、図3～7）

【0010】

【発明が解決しようとする課題】

従来の画素補間法（線形補間／最近傍補間切替法）では、図19のように、参照画素の近傍の補間画素を生成する場合、一般の線形補間法を適用した場合に比較し、参照画素2点のうちの近い側の参照画素の影響を強く受けた補間画素が生成される。

【0011】

このように、従来の画素補間方法は、補間画素の画素値が、その位相に比例して直線的に変化しない。このため、従来の画素補間法では、参照画素近傍の補間において元画像での画素値の変化の規則性に応じた補間画素が生成されず、画素の画素値の連続性が失われる可能性があった。

【0012】

この従来の画素補間法における画素値の連続性の喪失について、図20および図21を用いて説明を加える。図20は、サンプル画像の画素値を表す図であり、図21は、サイズ変換後の画像（図20に示したサンプル画像の画像サイズを2.5倍に変換した画像）の画素値を表す図である。横軸は、例えば水平方向に隣接して並んだ各画素の画素位置を示しており、縦軸は各画素の画素値を示している。なお、ここでの画素位置とは、各画像において水平方向に隣接して並んだ各画素に順に番号を付したものである。また、図20のサンプル画像における画素位置5の画素（図20中にAと表示）は、図21の拡大処理後の画像における画素位置11の画素（図21中にAと表示）に対応している。

【0013】

図20のサンプル画像の画素位置1～3の画素では、画素の画素値が画素位置に比例して変化している。しかし、このサンプル画像に従来の画素補間方法により拡大処理を行うと、図21の画素位置3、4の画素のように画素値が画素位置に比例して変化しない補間画素が生じ、画素位置に対する画素値の変化の規則性がサンプル画像におけるものと異なったものとなる。これは、図20に示したサンプル画像の画素位置2または4の画素を参照画素として、その参照画素近傍の画素（図21における画素位置3、4、8または9の画素）が補間された際に、この補間画素の画素値が、近傍の参照画素（図20における画素位置2または4の画素）の画素値の影響を強く受けたことに因っている。

【0014】

画素の補間により、近傍画素から非連続的に画素値が変化する画素が生じると、その画素が強調され、そこに輪郭があるかのように観測者に認識される可能性がある。以下、便宜上、この擬似的に生じる輪郭を偽輪郭と呼ぶ。

【0015】

この偽輪郭が生じると、元画像とは異なった印象を観測者に与えるため、偽輪郭の発生は、画質の劣化要因となっていた。

【0016】

本発明は、以上の背景からなされたもので、近傍画素との画素値の連続性を維持しつつ、線幅の不均等を軽減し、画像のぼけを生じずに画像の画素数を変更する画像処理装置および画像処理方法を提供することを目的とする。

【0017】

すなわち、本発明は、元画像の状態を維持しつつ、画像の画素数を変更する画像処理装置および画像処理方法を提供することを目的とする。

【0018】**【課題を解決するための手段】**

上記目的を達成するために、本発明に係る画像処理装置は、実画素の画素値が入力され、この実画素の画素値を用いて高域補正された生成画素の画素値を算出する第1のフィルタと、前記実画素の画素値および前記生成画素の画素値が入力され、これらの画素値を用いて線形補間法により補間画素の画素値を算出する第2のフィルタとを具備することを特徴としている。

【0019】

また、本発明に係る画像処理装置は、実画素の画素値が入力され、この実画素の画素値を用いて高域強調された生成画素の画素値を算出する第1のフィルタと、前記生成画素の画素値が入力され、この画素値を用いて線形補間法により補間画素の画素値を算出する第2のフィルタとを具備することを特徴としている。

【0020】

更に、本発明に係る画像処理装置は、実画素の画素値が入力され、この実画素の画素値を用いて、高域補正もしくは高域強調された生成画素の画素値を算出する第1のフィルタと、前記生成画素の画素値が高域補正されたものである場合、前記実画素の画素値および前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出し、前記生成画素の画素値が高域強調されたものである場合、前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出する

第2のフィルタとを具備することを特徴としている。

【0021】

更に、本発明に係る画像処理方法は、実画素の画素値を用いて高域補正された生成画素の画素値を算出する第1の処理ステップと、前記実画素の画素値および前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出する第2の処理ステップとを具備することを特徴としている。

【0022】

更に、本発明に係る画像処理方法は、実画素の画素値を用いて高域強調された生成画素の画素値を算出する第1の処理ステップと、前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出する第2の処理ステップとを具備することを特徴としている。

【0023】

更に、本発明に係る画像処理方法は、実画素の画素値を用いて、高域補正もしくは高域強調された生成画素の画素値を算出する第1の処理ステップと、前記生成画素の画素値が高域補正されたものである場合、前記実画素の画素値および前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出し、前記生成画素の画素値が高域強調されたものである場合、前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出する第2の処理ステップとを具備することを特徴としている。

【0024】

【発明の実施の形態】

（第1の実施の形態）

以下に、本発明に係る画像処理装置および画像処理方法についての第1の実施の形態を図1乃至8を参照して説明する。なお、以下では、元画像（サイズ変換前の画像）に対して水平方向にサイズ変換を行う場合を例に挙げて説明する。

【0025】

まず、本実施の形態に係る画像処理装置について図1乃至7を参照して説明する。図1は、本実施の形態に係る画像処理装置の構成を示すブロック図である。図1に示すように、本実施の形態に係る画像処理装置は、バッファメモリ1、第

1 のフィルタであるプリフィルタ 2、第 2 のフィルタである線形補間フィルタ 3、および、制御回路 4 から構成されている。

【0026】

バッファメモリ 1 は、入力端子 5 から入力された画像データ列を一時的に記憶するためのメモリである。このバッファメモリ 1 は、制御回路 4 から入力される制御信号により、後段のプリフィルタ 2 へと画像データ列を出力する。画像データ列とは、画像においてサイズを変換する方向に画素位置が隣接する画素の画素値を並べたものである。よって、元画像に対して水平方向にサイズ変換を行う場合には、画像データ列は、画像において水平方向に画素位置が隣接する画素の画素値を並べたものとなる。また、ここでのバッファメモリ 1 に入力された画像データ列とは、元画像において水平方向に画素位置が隣接する実画素（元画像を構成する画素）の画素値 D 1 を並べたものを指している。更に、画素値とは、画素の明るさや色の濃淡を表すデータ値であり、以下では、この画素値が 0 ～ 255 の間の実数で表された場合を例に挙げて説明する。

【0027】

プリフィルタ 2 は、バッファメモリ 1 から入力された画像データ列をもとに、拡大処理時には高域補正された生成画素（このプリフィルタ 2 により新たに生成される画素）の画素値 D 2 を算出し、縮小処理時には高域制限された生成画素の画素値 D 2 を算出する。

【0028】

線形補間フィルタ 3 は、プリフィルタ 2 から実画素の画素値 D 1 および生成画素の画素値 D 2 が入力され、拡大処理時には、実画素および生成画素を参照画素（補間画素を生成するために画素値が参照される画素）として、線形補間法により、補間画素（補間により生成される画素）の画素値 D 3 を算出し、縮小処理時には、隣接する生成画素 2 点を参照画素として、線形補間法により、補間画素の画素値 D 3 を算出する。この補間画素の画素値 D 3 は出力端子 6 へと出力される。

【0029】

制御回路 4 は、画素数変換比率（サイズ変換後の画像の画素数／サイズ変換前

の画像の画素数)に従って、バッファメモリ 1、プリフィルタ 2、および、線形補間フィルタ 3 の動作を制御する。この画素数変換比率は、入力端子 7 から入力される制御パラメータにより指定される。

【0030】

そして、以上に説明した構成により、補間画素の画素値 D 3 が、その画素位置の順に従って、出力端子 6 から出力される。この画素位置の順に出力された補間画素の画素値 D 3 は、サイズ変換後の画像において水平方向に画素位置が隣接する画素の画素値を並べたものに相当する。つまり、入力端子 5 から入力された元画像における画像データ列が、サイズ変換後の画像における画像データ列へと変換され、出力端子 6 から出力される。そして、以上のように生成された補間画素によりサイズ変換後の画像が構成される。

【0031】

次に、プリフィルタ 2 の具体的な構成について図 2 を参照しながら説明する。図 2 は、本実施の形態に係る画像処理装置におけるプリフィルタ 2 の構成を示す回路図である。

【0032】

レジスタ 8 ～ 24 は、すべて、イネーブル付きの D 型フリップフロップであり、制御回路 4 により、これらのイネーブルが制御されることで、各フリップフロップの出力データの保持と更新が制御される。

【0033】

また、これらのレジスタのうちのレジスタ 8 ～ 15 は、タップ数（生成画素の画素値 D 2 の算出において参照される実画素の数）に応じた遅延回路を形成しており、入力端子 25 から入力された実画素の画素値 D 1 を順次遅延し、最終的に出力端子 42 を介して出力する。

【0034】

セクタ 26 は、制御回路 4 からの制御信号が入力端子 27 を介して入力され、この制御信号をもとに、タップ数を偶数タップにするか奇数タップにするかを制御する。セクタ 26 がレジスタ 11 の出力データを選択することで偶数タップが形成され、レジスタ 10 の出力データを選択することで、レジスタ 11、1

2 から同一画素の画素値が出力され、奇数タップが形成される。

【0035】

加算器 28～31 は、フィルタ係数が同一となるタップ位置の実画素の画素値 D1 を加算する。また、入力端子 32 には、制御回路 4 から各タップ位置に対するフィルタ係数 C1、C2、C3、C4 が入力され、加算器 28～31 による加算結果が乗算器 33～36 でフィルタ係数と乗算され、この乗算結果の総和が加算器 37～39 で算出される。ここで、上記のような画像データ列のフィルタ係数による演算を畳み込み演算と呼ぶこととする。

【0036】

振幅制限器 40 は、加算器 39 から出力された乗算結果の総和に対して四捨五入を行い、更に、最大振幅以内（0～255）に制限して、レジスタ 24 を介して出力端子 41 へと出力する。そして、この出力端子 41 から出力される画素値が、新たに生成される生成画素の画素値 D2 となる。

【0037】

この生成画素の画素位置は、セクタ 26 によりタップ数を偶数タップとするか奇数タップとするかによって異なる。これについて、図 3 および図 4 を参照しながら説明する。図 3 は、偶数タップを形成した場合の生成画素と実画素との位置関係を示し、図 4 は、奇数タップを形成した場合の生成画素と実画素との位置関係を示している。ここで、図中の各実画素の下に付した符号は、その実画素の画素値が保持されたレジスタの符号を示しており、また、2 つの実画素を結ぶ線は、その線により結ばれた実画素の画素値が、畳み込み演算において同一のフィルタ係数を乗算されることを示している。例えば、レジスタ 8、15 に画素値が保持された 2 つの実画素は同一のフィルタ係数 C1 が乗算され、レジスタ 9、14 に画素値が保持された 2 つの実画素は同一のフィルタ係数 C2 が乗算される。

【0038】

偶数タップを形成すると、図 3 に示すように、レジスタ 11、12 の出力に画素値が保持された 2 つの実画素の間を中心として実画素が対称に位置する。この対称に位置する実画素には同一のフィルタ係数が乗算されるため、畳み込み演算により生成される生成画素の画素位置は、レジスタ 11、12 の出力に画素値

が保持された2つの実画素の中間位置となる。一方、奇数タップを形成すると、図4に示すように、レジスタ11、12の出力に画素値が保持された実画素を中心として他の実画素が対称に位置する。この対称に位置する実画素には同一のフィルタ係数が掛け合わされるため、畳み込み演算により生成される生成画素の画素位置は、中心の実画素と同一の画素位置となる。

【0039】

また、以上のことから、出力端子41から画素値が出力される生成画素と出力端子42から画素値が出力される実画素との位置関係は、偶数タップ形成時には、実画素が生成画素よりも0.5画素前に位置することとなり、奇数タップ形成時には、実画素と生成画素とが同一の画素位置となる。

【0040】

なお、拡大処理を行う場合には、偶数タップを形成することで生成画素の画素位置を実画素の中間位置とし、実画素間に生成画素を補間して画素数の2倍化処理を行う。そして、この生成画素の補間により、画像データ列の高周波成分が周波数特性に応じて強調されるように、フィルタ係数C1、C2、C3、C4を設定する。図20に示されたサンプル画像に対して生成画素で補間を行った画像の画素値を表す図を図5に示す。横軸は、例えば水平方向に隣接して並んだ各画素の画素位置を示しており、縦軸は各画素の画素値を示している。また、図20のサンプル画像における画素位置5の画素（図20中にAと表示）は、図5の生成画素で補間を行った画像における画素位置9の画素（図5中にAと表示）に対応している。なお、ここでの画素位置とは、生成画素で補間後の画像において水平方向に隣接して並んだ各画素に順に番号を付したものである。また、斜線を施した部分は実画素間に補間された生成画素を示しており、斜線を施していない部分は実画素を示している。生成画素が実画素間に補間されることで、画素数が2倍化し、更に、高周波成分が強調されている。ここで、以上のように、生成画素の画素値D2を、実画素間への補間により画像データ列の高周波成分を強調する値とすることを、高域補正と呼び、また、高域補正された生成画素を生成することを高域補正処理と呼ぶこととする。

【0041】

一方、縮小処理を行う場合には、偶数タップと奇数タップとのどちらを形成しても良い。この場合、出力端子 4 1 から出力される生成画素の画素値 D 2 は、実画素による画像データ列とは別の新たな画像データ列を構成する。そして、この生成画素による新たな画像データ列が、実画素による画像データ列の高周波成分を抑制したものとなるように、フィルタ係数 C 1、C 2、C 3、C 4 を設定する。ここで、以上のように、生成画素の画素値 D 2 を、実画素による画像データ列よりも高周波成分が抑制された新規な画像データ列を構成する値とすることを、高域制限と呼び、また、高域制限された生成画素を生成することを高域制限処理と呼ぶこととする。

【0 0 4 2】

次に、線形補間フィルタ 3 の具体的な構成について図 6 を参照しながら説明する。図 6 は、本実施の形態に係る画像処理装置における線形補間フィルタ 3 の構成を示す回路図である。

【0 0 4 3】

入力端子 4 3 には、プリフィルタ 2 の出力端子 4 1 から出力された生成画素の画素値 D 2 が入力される。また、入力端子 4 4 には、プリフィルタ 2 の出力端子 4 2 から出力された実画素の画素値 D 1 が入力される。

【0 0 4 4】

レジスタ 4 5 は、イネーブル付きの D 型フリップフロップであり、制御回路 4 によりイネーブルが制御されることで、入力端子 4 3 から入力される生成画素に対して 1 画素前に入力された生成画素の画素値 D 2 を出力に保持している。

【0 0 4 5】

レジスタ 4 6 ～ 5 0 は、1 クロックごとに出力データを更新する D 型フリップフロップである。

【0 0 4 6】

セクタ 5 1 は、制御回路 4 からの制御信号が入力端子 5 2 を介して入力され、この制御信号をもとに、入力端子 4 3 から入力された生成画素の画素値 D 2、または、レジスタ 4 5 の出力データのいずれか一方を選択して出力する。このセクタ 5 1 は、縮小処理時には、レジスタ 4 5 の出力データを選択する。一方、

拡大処理時には、入力端子 44 から入力された実画素よりも前の画素位置の補間を行う場合には、レジスタ 45 の出力データ（実画素よりも 0.5 画素前に位置する生成画素の画素値）を選択し、実画素よりも後の画素位置の補間を行う場合には、入力端子 43 から入力された生成画素の画素値 D2（実画素よりも 0.5 画素後に位置する生成画素の画素値）を選択する。

【0047】

セクタ 53 は、制御回路 4 からの制御信号が入力端子 54 を介して入力され、この制御信号をもとに、入力端子 43 から入力された生成画素の画素値 D2、または、入力端子 44 から入力された実画素の画素値 D1 のいずれか一方を選択して出力する。縮小処理時には、入力端子 43 から入力された生成画素の画素値 D2 を選択し、拡大処理時には、入力端子 44 から入力された実画素の画素値 D1 を選択する。

【0048】

加算器 55 は、セクタ 51 の出力データ a1 が反転器 56 でビット反転されて生成された補数画素値と、セクタ 53 の出力データ a2 と値 1 とを加算し、セクタ 53 の出力データ a2 とセクタ 51 の出力データ a1 との差分 c1（ $= a2 - a1$ ）を算出する。

【0049】

乗算器 57 は、制御回路 4 から補間画素の位相に応じた乗算係数 b が入力端子 58 を介して入力され、乗算結果 c2（ $= b \times (a2 - a1)$ ）を算出する。ここで、補間画素の位相とは、2つの参照画素（a1, a2 の画素値をもつ画素）の画素位置から補間画素の画素位置までの距離のことを指している。

【0050】

加算器 59 は、乗算結果 c2（ $= b \times (a2 - a1)$ ）およびセクタ 51 の出力データ a1 が、レジスタ 48、49 を介して入力され、演算結果 c3（ $= a1 + b \times (a2 - a1)$ ）を算出する。この演算結果 c3（ $= a1 + b \times (a2 - a1)$ ）は、表現を変えると、 $a1 \times (1 - b) + a2 \times b$ と表され、この演算により、補間画素の位相に応じた線形補間データが生成される。

【0051】

四捨五入器 60 は、この線形補間データを四捨五入し、レジスタ 50 および出力端子 61 を介して出力する。そして、この出力データが、サイズ変換後の画像の画像データを構成する補間画素の画素値 D3 となる。

【0052】

本実施の形態に係る画像処理装置により、図 20 に示されたサンプル画像の画素数を 2.5 倍に拡大処理した画像の画素値を表す図を図 7 に示す。横軸は、例えば水平方向に隣接して並んだ各画素の画素位置を示しており、縦軸は各画素の画素値を示している。また、図 20 のサンプル画像における画素位置 5 の画素（図 20 中に A と表示）は、図 7 の拡大処理後の画像における画素位置 11 の画素（図 7 中に A と表示）に対応している。なお、ここでの画素位置とは、拡大処理後の画像において水平方向に隣接して並んだ各画素に順に番号を付したものである。本実施の形態に係る画像処理装置により拡大処理した画像は、拡大処理によっても高周波成分が失われておらず、更に、図 21 に示した従来の線形補間／最近傍補間切替法により拡大処理した画像とは異なり、画素の画素値が非連続的に変化することによる偽輪郭が発生していない。

【0053】

上記のように、本実施の形態に係る画像処理装置は、画像の拡大処理において、隣接する実画素の中間に位置する高域強調された生成画素を生成し、この高域強調された生成画素と実画素とを参照画素として線形補間法により画素の補間を行っている。このように、本実施の形態に係る画像処理装置は、線形補間前に画像の高周波成分を強調しているため、線形補間法により画素の補間を行っても画像の高周波成分が失われることがなく、高周波成分の喪失による画像のぼけの発生を防ぐことができる。

【0054】

また、本実施の形態に係る画像処理装置は、画素補間方法に線形補間法を採用しており、参照画素の補間画素の画素値 D3 に対する影響度が補間画素の位相に比例している。このため、従来の線形補間／最近傍補間切替法により画素の補間を行った場合のように、偽輪郭が発生することがない。

【0055】

更に、一般的に、高周波成分の強い画像に縮小処理を行うと、元画像と異なった印象を与える画像となることがある。しかしながら、本実施の形態に係る画像処理装置は、縮小処理において、高域制限した生成画素を生成することで画像の高周波成分を抑制している。このため、縮小処理において、より自然な画像を得ることができる。

【0056】

次に、本実施の形態に係る画像処理方法について図8を参照して説明する。図8は、本実施の形態に係る画像処理方法の手順を示すフローチャートである。

【0057】

まず、画素数変換比率を設定する(S11)。そして、ステップS11において設定された画素数変換比率から画像サイズ変換処理が縮小処理になるかどうかを判断する(S12)。

【0058】

ステップS12において縮小処理になると判断された場合は、バッファメモリ1に記憶する画像データ列を更新し(S13)、このバッファメモリ1から読み出した実画素の画素値D1を用いて帯域制限処理を行い、帯域制限された生成画素の画素値D2を算出する(S14)。そして、次に、この帯域制限された生成画素の画素値D2を用いて線形補間処理を行い、補間画素の画素値D3を線形補間法により算出する(S15)。この線形補間処理が終了した後、一画面分の処理が終了していない場合は、ステップS13に戻り、一画面分の処理が終了するまで、上述したステップS13からS15までの処理を繰り返す(S16)。

【0059】

一方、ステップS12において縮小処理にならないと判断された場合(拡大処理となると判断された場合)は、バッファメモリ1に記憶する画像データ列を更新し(S17)、このバッファメモリ1から読み出した実画素の画素値D1を用いて高域補正処理を行い、高域補正された生成画素の画素値D2を算出する(S18)。この高域補正処理により、生成画素が実画素間に補間され、画素数の2倍化処理が行われる。そして、次に、実画素の画素値D1および高域補正された生成画素の画素値D2を用いて線形補間処理を行い、補間画素の画素値D3を算

出する（S19）。この線形補間処理が終了した後、一画面分の処理が終了していない場合は、ステップS17に戻り、一画面分の処理が終了するまで、上述したステップS17からS19までの処理を繰り返す（S110）。

【0060】

以上において説明した本実施の形態に係る画像処理方法は、画像の拡大処理において、隣接する実画素の中間に位置する高域強調された生成画素を生成し、この高域強調された生成画素と実画素とを参照画素として線形補間法により画素の補間を行っている。このように、本実施の形態に係る画像処理方法は、線形補間前に画像の高周波成分を強調しているため、線形補間法により画素の補間を行っても画像の高周波成分が失われることがなく、高周波成分の喪失による画像のぼけの発生を防ぐことができる。

【0061】

また、本実施の形態に係る画像処理方法は、画素補間方法に線形補間法を採用しており、補間画素の画素値D3が補間画素の位相に比例して直線的に変化している。このため、従来の線形補間／最近傍補間切替法により画素の補間を行った場合のように、偽輪郭が発生することがない。

【0062】

更に、本実施の形態に係る画像処理方法は、縮小処理において、高域制限した生成画素を生成することで画像の高周波成分を抑制している。このため、縮小処理において、より自然な画像を得ることができる。

【0063】

なお、本実施の形態に係る画像処理装置の説明において、プリフィルタ2および線形補間フィルタ3の具体的な回路構成を示しているが、これらの回路構成は、これらに限られない。

【0064】

また、本実施の形態に係る画像処理装置は、2点の画素を参照画素として線形補間を行っているが、これに限られず、より多くの画素を参照画素として線形補間を行っても構わない。

【0065】

更に、本実施の形態に係る画像処理装置における各構成要素（バッファメモリ 1、プリフィルタ 2、線形補間フィルタ 3、および、制御回路 4）は、そのすべてが同一の半導体チップ内に設けられてもよいし、これらの一部、または、すべてが他の構成要素から独立して設けられても構わない。

【0066】

更に、本実施の形態に係る画像処理装置および画像処理方法においては、高域補正処理により実画素間に生成画素を補間し、画素数を 2 倍に増大させているが、この画素数の増大率は 2 倍に限らない。例えば、画素数を 2 倍化した後、画素数が 2 倍化された画像データ列を、再度、プリフィルタ 2 に入力することで、画素数を 4 倍化しても構わない。

【0067】

更に、本実施の形態に係る画像処理装置および画像処理方法は、縮小処理において線形補間を行っているが、この線形補間は、必ずしも、必須の処理ではない。線形補間を行わずに、高域制限された生成画素を一定の間隔おきに抽出して新たな画像を構成することによっても、線形補間を行った場合と同様の効果が得られる。

【0068】

更に、本実施の形態に係る画像処理装置および画像処理方法においては、画像の水平方向のサイズ変換を行う場合を例に挙げて説明しているが、これに限られない。例えば垂直方向など他の方向に対して実施した場合においても、水平方向のサイズ変換を行った場合と同様の効果を得ることができる。

【0069】

更に、本実施の形態に係る画像処理装置および画像処理方法においては、一次元方向（水平方向）のサイズ変換についてのみ説明しているが、例えば、水平方向のサイズ変換を行った後に、この水平方向のサイズ変換がなされた画像を元画像として、垂直方向に対しても同様のサイズ変換を行うことで、2 次元方向のサイズ変換を行うことができる。なお、この際は、一画面分の水平方向または垂直方向のサイズ変換が終了した後に、もう一方向のサイズ変換を行ってもよいし、所定のライン数の水平方向または垂直方向のサイズ変換が終了した後に、もう一

方向のサイズ変換を行ってもよい。

(第2の実施の形態)

以下に、本発明に係る画像処理装置および画像処理方法についての第2の実施の形態を図9乃至14を参照して説明する。

【0070】

まず、本実施の形態に係る画像処理装置について図9乃至13を参照して説明する。

【0071】

図9は、本実施の形態に係る画像処理装置の構成を示すブロック図である。なお、第1の実施の形態において図1を参照して説明したものと共通する部分については、図1と同一符号を付し、その説明を省略する。図9に示すように、本実施の形態に係る画像処理装置は、バッファメモリ1、第1のフィルタであるプリフィルタ62、第2のフィルタである線形補間フィルタ63、および、制御回路4とから構成されている。

【0072】

プリフィルタ62は、バッファメモリ1から入力された画像データ列をもとに、拡大処理時には高域強調された生成画素の画素値D2を算出し、縮小処理時には高域制限された生成画素の画素値D2を算出する。

【0073】

線形補間フィルタ63は、プリフィルタ62から生成画素の画素値D2が入力され、隣接する生成画素2点を参照画素として、線形補間法により、補間画素の画素値D3を算出する。この補間画素の画素値D3は出力端子6へと出力される。

【0074】

次に、本実施の形態に係る画像処理装置におけるプリフィルタ62の具体的な構成について図10を参照しながら説明する。図10は、本実施の形態に係る画像処理装置におけるプリフィルタ62の構成を示す回路図である。なお、第1の実施の形態において図2を参照して説明したものと共通する部分については、図2と同一符号を付し、その説明を省略する。

【 0 0 7 5 】

セクタ 2 6 は、タップ数を偶数タップにするか奇数タップにするかを制御するためのものであり、レジスタ 1 1 の出力データを選択されることで偶数タップが形成され、レジスタ 1 0 の出力データが選択されることで、レジスタ 1 1、1 2 から同一画素値が出力され、奇数タップが形成される。なお、本実施の形態においては、拡大処理および縮小処理ともに、偶数タップと奇数タップとのどちらを形成しても良い。

【 0 0 7 6 】

四捨五入器 6 4 は、加算器 3 9 から出力された畳み込み演算の結果に対して四捨五入を行い、最大振幅以内（0 ～ 2 5 5）に制限せずに、レジスタ 2 4 を介して出力端子 4 1 へと出力する。

【 0 0 7 7 】

そして、この出力端子 4 1 から出力されるデータが、実画素による画像データ列とは別の新たな画像データ列を構成する生成画素の画素値 D 2 となる。

【 0 0 7 8 】

ここで、拡大処理時には、この生成画素による新たな画像データ列が、実画素による画像データ列の高周波成分を強調したものとなるように、フィルタ係数 C 1、C 2、C 3、C 4 を設定する。図 2 0 に示されたサンプル画像をもとに上記のフィルタ係数を用いて算出した生成画素の画素値を表す図を図 1 1 に示す。横軸は、例えば水平方向に隣接して並んだ各画素の画素位置を示しており、縦軸は各画素の画素値を示している。なお、ここでの画素位置とは、生成画素からなる画像において水平方向に隣接して並んだ各画素に順に番号を付したものである。また、図 1 1 では、奇数タップを形成し、実画素と同一の画素位置をもつ生成画素を生成した場合を示している。画素位置 1、5、9 の画素の画素値が増大し、かつ、画素位置 3、7、1 1 の画素の画素値が減少することで、画像データ列全体の振幅が増大され、図 2 0 に示されたサンプル画像の高周波成分が強調されている。ここで、以上のように、生成画素の画素値 D 2 を、実画素による画像データ列よりも高周波成分が強調された新規な画像データ列を構成する値とすることを、高域強調と呼び、また、高域強調された生成画素を生成することを高域強調

処理と呼ぶこととする。

【0079】

一方、縮小処理時には、生成画素による新たな画像データ列が、実画素による画像データ列の高周波成分を抑制したものとなるように、フィルタ係数 C_1 、 C_2 、 C_3 、 C_4 を設定する。つまり、第1の実施の形態において説明した高域制限がなされた生成画素の画素値 D_2 が求まるように、フィルタ係数を設定する。

【0080】

次に、線形補間フィルタ 63 の具体的な構成について図12を参照しながら説明する。図12は、本実施の形態に係る画像処理装置における線形補間フィルタ 63 の構成を示す回路図である。

【0081】

入力端子 65 には、プリフィルタ 2 の出力端子 41 から出力された生成画素の画素値 D_2 が入力される。

【0082】

レジスタ 66 は、イネーブル付きの D 型フリップフロップであり、制御回路 4 によりイネーブルが制御されることで、入力端子 65 から入力される生成画素に対して 1 画素前に入力された生成画素の画素値 D_2 を出力に保持している。

【0083】

レジスタ 67～71 は、1 クロックごとに出力データを更新する D 型フリップフロップである。

【0084】

加算器 72 は、レジスタ 66 の出力データ a_1 が反転器 73 でビット反転されて生成された補数画素値と、入力端子 65 から入力される生成画素の画素値 a_2 と値 1 とを加算し、生成画素の画素値 a_2 とレジスタ 66 の出力データ a_1 との差分 $c_1 (= (a_2 - a_1))$ を算出する。

【0085】

乗算器 74 は、制御回路 4 から補間画素の位相に応じた乗算係数 b が入力端子 75 を介して入力され、乗算結果 $c_2 (= b \times (a_2 - a_1))$ を算出する。

【0086】

加算器 76 は、乗算結果 $c2 (= b \times (a2 - a1))$ およびレジスタ 66 の出力データ $a1$ が、レジスタ 69、70 を介して入力され、演算結果 $c3 (= a1 + b \times (a2 - a1))$ を演算する。この演算結果 $c3 (= a1 + b \times (a2 - a1))$ は、表現を変えると、 $a1 \times (1 - b) + a2 \times b$ と表され、この演算により、補間画素の位相に応じた線形補間データが生成される。

【0087】

振幅制限器 77 は、この線形補間データを四捨五入し、更に、画素の画素値を最大振幅以内（0～255）に制限して、レジスタ 71 および出力端子 78 を介して出力する。そして、この出力データが、サイズ変換後の画像の画像データを構成する補間画素の画素値 $D3$ となる。

【0088】

また、振幅制限器 77 は加算器 76 の後段に設けられ、生成画素の画素値 $D2$ ではなく線形補間データを振幅制限するように構成されている。高域強調された生成画素の画素値 $D2$ を補間画素の算出に用いられる前に振幅制限し、その振幅制限された生成画素の画素値をもとに線形補間を行うと、線形補間に用いられる参照画素の数が増えるため、本実施の形態のように、高域強調された生成画素の画素値 $D2$ を補間画素の算出に用いられる前に振幅制限しない方が望ましい。

【0089】

本実施の形態に係る画像処理装置により、図 20 に示されたサンプル画像の画素数を 2.5 倍に拡大処理した画像の画素値を表す図を図 13 に示す。横軸は、例えば水平方向に隣接して並んだ各画素の画素位置を示しており、縦軸は各画素の画素値を示している。また、図 20 のサンプル画像における画素位置 5 の画素（図 20 中に A と表示）は、図 13 の拡大処理後の画像における画素位置 11 の画素（図 13 中に A と表示）に対応している。なお、ここでの画素位置とは、拡大処理後の画像において水平方向に隣接して並んだ各画素に順に番号を付したものである。本実施の形態に係る画像処理装置により拡大処理した画像は、拡大処理によっても高周波成分が失われておらず、更に、図 21 に示された従来の線形補間／最近傍補間切替法により拡大処理した画像とは異なり、画素の画素値が非連続的に変化することによる偽輪郭が発生していない。

【0090】

上記のように、本実施の形態に係る画像処理装置は、画像の拡大処理において、高域強調された生成画素を生成し、この高域強調された生成画素と実画素とを参照画素として線形補間法により画素の補間を行っている。このため、本実施の形態に係る画像処理装置は、拡大処理において、第1の実施の形態と同様の効果を得ることができる。

【0091】

また、本実施の形態に係る画像処理装置は、第1の実施の形態同様、縮小処理において、高域制限した生成画素を生成することで画像の高周波成分を抑制している。このため、縮小処理においても、第1の実施の形態と同様の効果を得ることができる。

【0092】

次に、本実施の形態に係る画像処理方法について図14を参照して説明する。図14は、本実施の形態に係る画像処理方法の手順を示すフローチャートである。なお、本実施の形態に係る画像処理方法は、第1の実施の形態の説明において図8を参照して説明した高域補正処理（図8のステップS18）を高域強調処理（ステップS28）に置き換えたものであり、他のステップは同一である。よって、ここでは、第1の実施の形態に係る画像処理方法と共通するステップについては、その説明を省略する。

【0093】

ステップS22において縮小処理にならないと判断された場合（拡大処理となると判断された場合）は、バッファメモリ1に記憶する画像データ列を更新し（S27）、このバッファメモリ1から読み出した実画素の画素値D1を用いて高域強調処理を行い、高域強調された生成画素の画素値D2を算出する（S28）。そして、次に、高域強調された生成画素の画素値D2を用いて線形補間処理を行い、補間画素の画素値D3を算出する（S29）。この線形補間処理が終了した後、一画面分の処理が終了していない場合は、ステップS27に戻り、一画面分の処理が終了するまで、上述したステップS27からS29までの処理を繰り返す（S210）。

【0094】

以上において説明した本実施の形態に係る画像処理方法は、画像の拡大処理において、高域強調された生成画素を生成し、この高域強調された実画素を参照画素として線形補間法により画素の補間を行っている。また、本実施の形態に係る画像処理方法は、縮小処理において、高域制限した生成画素を生成することで画像の高周波成分を抑制している。このため、本実施の形態に係る画像処理方法は、第1の実施の形態と同様の効果を得ることができる。

【0095】

なお、本実施の形態に係る画像処理装置の説明において、第1の実施の形態同様、プリフィルタ62および線形補間フィルタ63の具体的な回路構成を示しているが、これらの回路構成は、これらに限られない。

【0096】

また、本実施の形態に係る画像処理装置は、2点の画素を参照画素として線形補間を行っているが、第1の実施の形態同様、これに限られず、より多くの画素を参照画素として線形補間を行っても構わない。

【0097】

更に、本実施の形態に係る画像処理装置における各構成要素（バッファメモリ1、プリフィルタ62、線形補間フィルタ63、および、制御回路4）は、第1の実施の形態同様、そのすべてが同一の半導体チップ内に設けられてもよいし、これらの一部、または、すべてが他の構成要素から独立して設けられても構わない。

【0098】

更に、本実施の形態に係る画像処理装置および画像処理方法は、縮小処理において線形補間を行っているが、第1の実施の形態同様、この線形補間は、必ずしも、必須の処理ではない。線形補間を行わずに、高域制限された生成画素を一定の間隔おきに抽出して新たな画像を構成することによっても、線形補間を行った場合と同様の効果が得られる。

【0099】

更に、本実施の形態に係る画像処理装置および画像処理方法においては、画像

の水平方向のサイズ変換を行う場合を例に挙げて説明しているが、第1の実施の形態同様、これに限られない。例えば垂直方向など他の方向に対して実施した場合においても、水平方向のサイズ変換を行った場合と同様の効果を得ることができる。

【0100】

更に、本実施の形態に係る画像処理装置および画像処理方法においては、一次元方向（水平方向）のサイズ変換についてのみ説明しているが、第1の実施の形態同様、例えば、水平方向のサイズ変換を行った後に、この水平方向のサイズ変換がなされた画像を元画像として、垂直方向に対しても同様のサイズ変換を行うことで、2次元方向のサイズ変換を行うことができる。なお、この際は、一画面分の水平方向または垂直方向のサイズ変換が終了した後に、もう一方向のサイズ変換を行ってもよいし、所定のライン数の水平方向または垂直方向のサイズ変換が終了した後に、もう一方向のサイズ変換を行ってもよい。

（第3の実施の形態）

以下に、本発明に係る画像処理装置および画像処理方法についての第3の実施の形態を図15乃至18を参照して説明する。

【0101】

まず、本実施の形態に係る画像処理装置について図15乃至17を参照して説明する。

【0102】

図15は、本実施の形態に係る画像処理装置の構成を示すブロック図である。なお、第1の実施の形態において図1を参照して説明したものと共通する部分については、図1と同一符号を付し、その説明を省略する。図15に示すように、本実施の形態に係る画像処理装置は、バッファメモリ1、第1のフィルタであるプリフィルタ79、第2のフィルタである線形補間フィルタ80、および、制御回路4とから構成されている。

【0103】

プリフィルタ79は、バッファメモリ1から入力された画像データ列をもとに、拡大処理時には高域補正もしくは高域強調された生成画素の画素値D2を算出

し、縮小処理時には高域制限された生成画素の画素値D2を算出する。この高域補正、高域強調および高域制限は、第1および第2の実施の形態において説明したものと同一である。

【0104】

線形補間フィルタ80は、プリフィルタ79から実画素の画素値D1および生成画素の画素値D2が入力され、生成画素が高域補正されたものである場合は、実画素および生成画素を参照画素として、線形補間法により、補間画素の画素値D3を算出し、生成画素が高域強調もしくは高域制限されたものである場合は、隣接する生成画素2点を参照画素として、線形補間法により、補間画素の画素値D3を算出する。この補間画素の画素値D3は出力端子6へと出力される。

【0105】

次に、本実施の形態に係る画像処理装置におけるプリフィルタ79の具体的な構成について図16を参照しながら説明する。図16は、本実施の形態に係る画像処理装置におけるプリフィルタ79の構成を示す回路図である。なお、第1の実施の形態において図2を参照して説明したものと共通する部分については、図2と同一符号を付し、その説明を省略する。

【0106】

四捨五入器81は、加算器39から出力された畳み込み演算の結果に対して四捨五入を行い、画素の画素値を最大振幅以内(0~255)に制限せずに、レジスタ24を介して出力端子41へと出力する。そして、この出力端子41から出力される画素値が生成画素の画素値D2となる。

【0107】

また、畳み込み演算に用いられるフィルタ係数C1、C2、C3、C4は、拡大処理時には、生成画素の画素値D2に高域補正または高域強調のいずれかの処理がほどこされるように設定され、縮小処理時には、生成画素の画素値D2に高域制限がほどこされるように設定されている。

【0108】

更に、拡大処理時に高域補正をほどこす場合には、セレクタ26にレジスタ11の出力データを選択させ、偶数タップを形成する。一方、拡大処理時に高域強

調をほどこす場合、または、縮小処理時には、偶数タップまたは奇数タップのいずれを形成しても構わない。

【0 1 0 9】

次に、線形補間フィルタ 8 0 の具体的な構成について図 1 7 を参照しながら説明する。図 1 7 は、本実施の形態に係る画像処理装置における線形補間フィルタ 8 0 の構成を示す回路図である。なお、第 1 の実施の形態において図 3 を参照して説明したものと共通する部分については、図 3 と同一符号を付し、その説明を省略する。

【0 1 1 0】

プリフィルタ 7 9 が拡大処理時に生成画素の画素値 D 2 に高域補正をほどこした場合には、セレクタ 5 3 は、入力端子 4 4 から入力される実画素の画素値 D 1 を選択する。一方、プリフィルタ 7 9 が拡大処理時に生成画素の画素値 D 2 に高域強調をほどこした場合、または、縮小処理時には、セレクタ 5 3 は、入力端子 4 3 から入力される生成画素の画素値 D 2 を選択する。これにより、拡大処理時に生成画素の画素値 D 2 に高域補正をほどこした場合には、生成画素と実画素とを参照画素として線形補間法により補間画素の画素値 D 3 が算出され、拡大処理時に生成画素の画素値 D 2 に高域強調をほどこした場合、または、縮小処理時には、画素位置が隣接する 2 つの生成画素を参照画素として線形補間法により補間画素の画素値 D 3 が算出される。

【0 1 1 1】

振幅制限器 8 2 は、加算器 5 9 から出力される線形補間データを四捨五入し、更に、最大振幅以内（0 ～ 2 5 5）に制限して、レジスタ 5 0 および出力端子 6 1 を介して出力する。そして、この出力データが、サイズ変換後の画像の画像データを構成する補間画素の画素値 D 3 となる。

【0 1 1 2】

また、振幅制限器 8 2 は加算器 5 9 の後段に設けられ、生成画素の画素値 D 2 ではなく線形補間データを振幅制限するように構成されている。高域強調された生成画素の画素値 D 2 を補間画素の算出に用いられる前に振幅制限し、その振幅制限された生成画素の画素値をもとに線形補間を行うと、線形補間に用いられる

参照画素の数が増えるため、本実施の形態のように、高域強調された生成画素の画素値D2を補間画素の算出に用いられる前に振幅制限しない方が望ましい。

【0113】

以上において説明した本実施の形態に係る画像処理装置は、画像の拡大処理において、高域補正または高域強調のいずれかの処理がほどこされた生成画素を生成し、この生成画素と実画素とを参照画素として線形補間法により画素の補間を行っている。このため、本実施の形態に係る画像処理装置は、拡大処理において、第1および第2の実施の形態と同様の効果を得ることができる。

【0114】

また、本実施の形態に係る画像処理装置は、上記の拡大処理において、生成画素に高域補正または高域強調のいずれの処理を行うかを、畳み込み演算に用いるフィルタ係数を選択することにより、任意に変更することができる。高域補正は、実画素間への生成画素の補間により、線形補間における参照画素の数が2倍化されるため、高周波成分を強調する度合いが弱くても良く、特に自然画像の拡大に適している。一方、高域強調は、実画素を線形補間の参照画素に用いていないため、高周波成分を強調する度合いを強くすることができ、テキスト画像の拡大に適している。

【0115】

更に、本実施の形態に係る画像処理装置は、第1および第2の実施の形態同様、縮小処理において、高域制限した生成画素を生成することで画像の高周波成分を抑制している。このため、縮小処理においても、第1および第2の実施の形態と同様の効果を得ることができる。

【0116】

次に、本実施の形態に係る画像処理方法について図18を参照して説明する。図18は、本実施の形態に係る画像処理方法の手順を示すフローチャートである。図18は、本実施の形態に係る画像処理方法の手順を示すフローチャートである。なお、本実施の形態に係る画像処理方法は、拡大処理において、高域補正処理（図8のステップS18）または高域強調処理（図14のステップS28）のいずれを行うかを実施者が選択できるものであり、他のステップは、第1および

第2の実施の形態と同一である。よって、ここでは、第1および第2の実施の形態に係る画像処理方法と共通するステップについては、その説明を省略する。

【0117】

ステップS32において縮小処理にならないと判断された場合（拡大処理となると判断された場合）、引き続いて、拡大処理において高域補正処理を行うか判断する（S37）。

【0118】

ステップS37において、高域補正処理を行うと判断された場合、第1の実施の形態において図8を参照して説明したステップS17からS110までの処理と同様の処理を行う（S38～311）。

【0119】

一方、ステップS37において、高域補正処理を行わないと判断された場合（高域強調処理を行うと判断された場合）、第2の実施の形態において図14を参照して説明したステップS27からS210までの処理と同様の処理を行う（S312～315）。

【0120】

以上において説明した本実施の形態に係る画像処理方法は、画像の拡大処理において、高域補正または高域強調のいずれかの処理がほどこされた生成画素を生成し、この生成画素と実画素とを参照画素として線形補間法により画素の補間を行っている。また、本実施の形態に係る画像処理方法は、縮小処理において、高域制限した生成画素を生成することで画像の高周波成分を抑制している。このため、本実施の形態に係る画像処理方法は、第1および第2の実施の形態と同様の効果を得ることができる。

【0121】

また、本実施の形態に係る画像処理方法は、拡大処理において、生成画素に高域補正または高域強調のいずれの処理を行うかを、任意に変更することができる。このため、対象の画像に合わせて、より最適な方法により拡大処理を行うことができる。

【0122】

なお、本実施の形態に係る画像処理装置の説明において、第1および第2の実施の形態同様、プリフィルタ79および線形補間フィルタ80の具体的な回路構成を示しているが、これらの回路構成は、これらに限られない。

【0123】

また、本実施の形態に係る画像処理装置は、2点の画素を参照画素として線形補間を行っているが、第1および第2の実施の形態同様、これに限られず、より多くの画素を参照画素として線形補間を行っても構わない。

【0124】

更に、本実施の形態に係る画像処理装置においては、生成画素の画素値D2が、補間画素の算出に参照画素として用いられる前に振幅制限されていないが、第2の実施の形態同様、これに限られず、生成画素の画素値D2は、補間画素の算出に用いられる前に振幅制限されても構わない。

【0125】

更に、本実施の形態に係る画像処理装置における各構成要素（バッファメモリ1、プリフィルタ79、線形補間フィルタ80、および、制御回路4）は、第1および第2の実施の形態同様、そのすべてが同一の半導体チップ内に設けられてもよいし、これらの一部、または、すべてが他の構成要素から独立して設けられても構わない。

【0126】

更に、本実施の形態に係る画像処理装置および画像処理方法においては、高域補正処理により実画素間に生成画素を補間し、画素数を2倍に増大させているが、第1の実施の形態同様、この画素数の増大率は2倍に限らない。

【0127】

更に、本実施の形態に係る画像処理装置および画像処理方法は、縮小処理において線形補間を行っているが、第1および第2の実施の形態同様、この線形補間は、必ずしも、必須の処理ではない。線形補間を行わずに、高域制限された生成画素を一定の間隔おきに抽出して新たな画像を構成することによっても、線形補間を行った場合と同様の効果が得られる。

【0128】

更に、本実施の形態に係る画像処理装置および画像処理方法においては、画像の水平方向のサイズ変換を行う場合を例に挙げて説明しているが、第 1 および第 2 の実施の形態同様、これに限られない。例えば垂直方向など他の方向に対して実施した場合においても、水平方向のサイズ変換を行った場合と同様の効果を得ることができる。

【0 1 2 9】

更に、本実施の形態に係る画像処理装置および画像処理方法においては、一次元方向（水平方向）のサイズ変換についてのみ説明しているが、第 1 および第 2 の実施の形態同様、例えば、水平方向のサイズ変換を行った後に、この水平方向のサイズ変換がなされた画像を元画像として、垂直方向に対しても同様のサイズ変換を行うことで、2次元方向のサイズ変換を行うことができる。なお、この際は、一画面分の水平方向または垂直方向のサイズ変換が終了した後に、もう一方のサイズ変換を行ってもよいし、所定のライン数の水平方向または垂直方向のサイズ変換が終了した後に、もう一方のサイズ変換を行ってもよい。

【0 1 3 0】

本発明は、実施段階ではその要旨を変更しない範囲で種々に変形することが可能である。

【0 1 3 1】

以上、詳述したように、本発明に係る画像処理装置および画像処理方法の特徴をまとめると以下の通りになる。

【0 1 3 2】

本発明に係る画像処理装置は、実画素の画素値が入力され、この実画素の画素値を用いて高域補正された生成画素の画素値を算出する第 1 のフィルタと、前記実画素の画素値および前記生成画素の画素値が入力され、これらの画素値を用いて線形補間法により補間画素の画素値を算出する第 2 のフィルタとを具備することを特徴としている。

【0 1 3 3】

また、本発明に係る画像処理装置は、実画素の画素値が入力され、この実画素の画素値を用いて高域強調された生成画素の画素値を算出する第 1 のフィルタと

、前記生成画素の画素値が入力され、この画素値を用いて線形補間法により補間画素の画素値を算出する第2のフィルタとを具備することを特徴としている。

【0134】

更に、本発明に係る画像処理装置は、実画素の画素値が入力され、この実画素の画素値を用いて、高域補正もしくは高域強調された生成画素の画素値を算出する第1のフィルタと、前記生成画素の画素値が高域補正されたものである場合、前記実画素の画素値および前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出し、前記生成画素の画素値が高域強調されたものである場合、前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出する第2のフィルタとを具備することを特徴としている。

【0135】

更に、本発明に係る画像処理装置は、前記第2のフィルタが、前記補間画素の画素値を振幅制限する振幅制限器を有することを特徴としている。

【0136】

更に、本発明に係る画像処理装置は、前記実画素の画素値を記憶し、前記第1のフィルタへ前記実画素の画素値を出力するバッファメモリと、画素数変換比率に従って、前記第1のフィルタ、前記第2のフィルタ、および、前記バッファメモリの動作を制御する制御回路とを更に具備することを特徴としている。

【0137】

更に、本発明に係る画像処理装置は、前記第1のフィルタが、前記制御回路から入力されたフィルタ係数を用いて前記実画素の画素値の畳み込み演算を行い、前記生成画素の画素値を算出することを特徴としている。

【0138】

更に、本発明に係る画像処理装置は、前記第1のフィルタが、偶数個の前記実画素の画素値の畳み込み演算を行い、前記高域補正された生成画素の画素値を算出することを特徴としている。

【0139】

更に、本発明に係る画像処理装置は、前記第1のフィルタが、前記実画素の画素値を用いて高域制限された生成画素の画素値を算出することを特徴としている。

【0140】

更に、本発明に係る画像処理方法は、実画素の画素値を用いて高域補正された生成画素の画素値を算出する第1の処理ステップと、前記実画素の画素値および前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出する第2の処理ステップとを具備することを特徴としている。

【0141】

更に、本発明に係る画像処理方法は、実画素の画素値を用いて高域強調された生成画素の画素値を算出する第1の処理ステップと、前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出する第2の処理ステップとを具備することを特徴としている。

【0142】

更に、本発明に係る画像処理方法は、実画素の画素値を用いて、高域補正もしくは高域強調された生成画素の画素値を算出する第1の処理ステップと、前記生成画素の画素値が高域補正されたものである場合、前記実画素の画素値および前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出し、前記生成画素の画素値が高域強調されたものである場合、前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出する第2の処理ステップとを具備することを特徴としている。

【0143】**【発明の効果】**

本発明によれば、元画像の状態を維持しつつ、画像の画素数を変更する画像処理装置および画像処理方法を提供することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る画像処理装置の構成を示すブロック図。

【図2】 本発明の第1の実施の形態に係る画像処理装置における、プリフィルタの構成を示す回路図。

【図3】 本発明の第1の実施形態に係るプリフィルタにおいて偶数タップを形

成した場合の生成画素と実画素との位置関係を示す図。

【図 4】 本発明の第 1 の実施の形態に係るプリフィルタにおいて奇数タップを形成した場合の生成画素と実画素との位置関係を示す図。

【図 5】 本発明の第 1 の実施の形態に係るプリフィルタの出力データを表す図。

【図 6】 本発明の第 1 の実施の形態に係る画像処理装置における、線形補間フィルタの構成を示す回路図。

【図 7】 本発明の第 1 の実施の形態に係る画像処理装置により拡大処理した画像の画素値を表す図。

【図 8】 本発明の第 1 の実施の形態に係る画像処理方法の手順を示すフローチャート。

【図 9】 本発明の第 2 の実施の形態に係る画像処理装置の構成を示すブロック図。

【図 10】 本発明の第 2 の実施の形態に係る画像処理装置における、プリフィルタの構成を示す回路図。

【図 11】 本発明の第 2 の実施の形態に係るプリフィルタの出力データを表す図。

【図 12】 本発明の第 2 の実施の形態に係る画像処理装置における、線形補間フィルタの構成を示す回路図。

【図 13】 本発明の第 2 の実施の形態に係る画像処理装置により拡大処理した画像の画素値を表す図。

【図 14】 本発明の第 2 の実施の形態に係る画像処理方法の手順を示すフローチャート。

【図 15】 本発明の第 3 の実施の形態に係る画像処理装置の構成を示すブロック図。

【図 16】 本発明の第 3 の実施の形態に係る画像処理装置における、プリフィルタの構成を示す回路図。

【図 17】 本発明の第 3 の実施の形態に係る画像処理装置における、線形補間フィルタの構成を示す回路図。

【図 1 8】 本発明の第 3 の実施の形態に係る画像処理方法の手順を示すフローチャート。

【図 1 9】 従来の画素補間方法における、補間画素の両脇の参照画素 2 点から補間画素が受ける影響の変化を表す図。

【図 2 0】 サンプル画像の画素値を表す図。

【図 2 1】 従来の画素補間方法により、図 2 0 に示したサンプル画像の画像サイズを 2.5 倍に変換した画像の画素値を表す図。

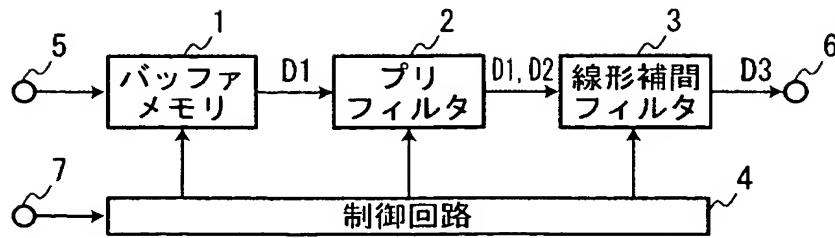
【符号の説明】

- 1…バッファメモリ
- 2、62、79…プリフィルタ
- 3、63、80…線形補間フィルタ
- 4…制御回路
- 5、7、25、27、32、43、44、52、54、58、65、75…入力端子
- 6、41、42、61、78…出力端子
- 8～24、45～50、66～71…レジスタ
- 26、51、53…セレクタ
- 28～31、37～39、55、59、72、76…加算器
- 33～36、57、74…乗算器
- 40、77、82…振幅制限器
- 56、73…反転器
- 60、64、81…四捨五入器

【書類名】

図面

【図 1】



1…バッファメモリ

6…出力端子

2…プリフィルタ

D1…実画素の画素値

3…線形補間フィルタ

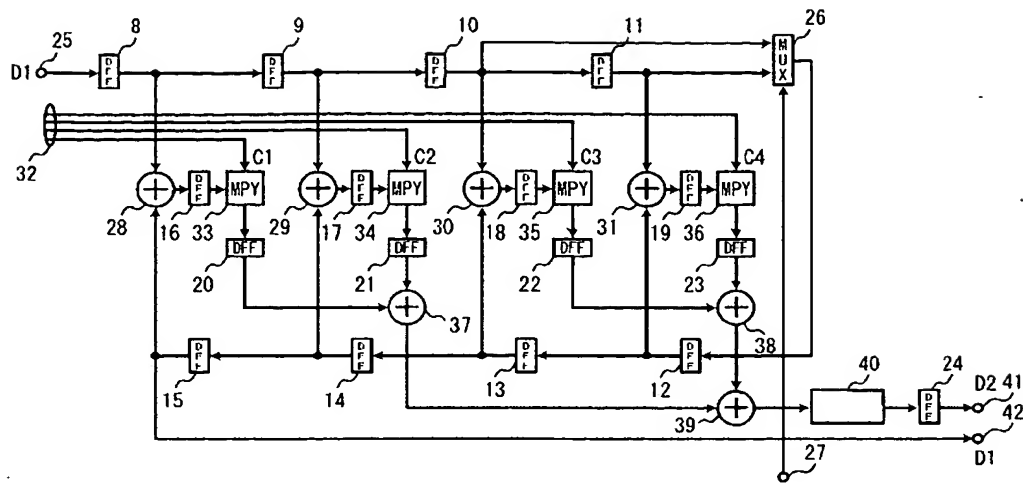
D2…生成画素の画素値

4…制御回路

D3…補間画素の画素値

5、7…入力端子

【図 2】



8~24…レジスタ

25、27、32…入力端子

26…セレクタ

28~31、37~39…加算器

33~36…乗算器

40…振幅制限器

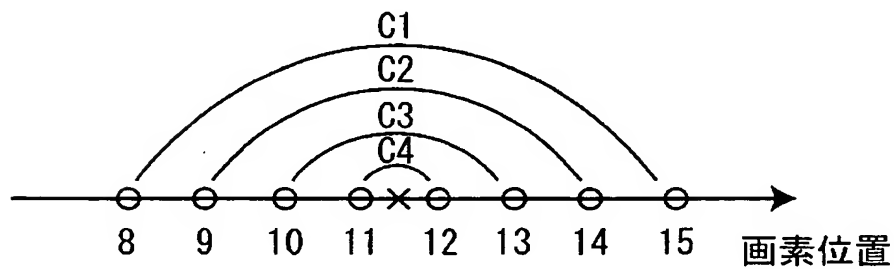
41、42…出力端子

D1…実画素の画素値

D2…生成画素の画素値

C1、C2、C3、C4…フィルタ係数

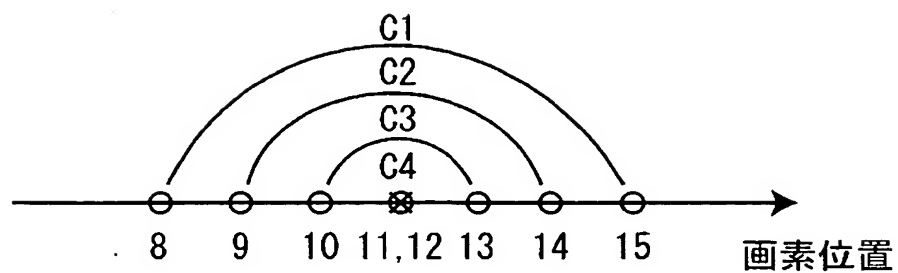
【図 3】



○ 実画素

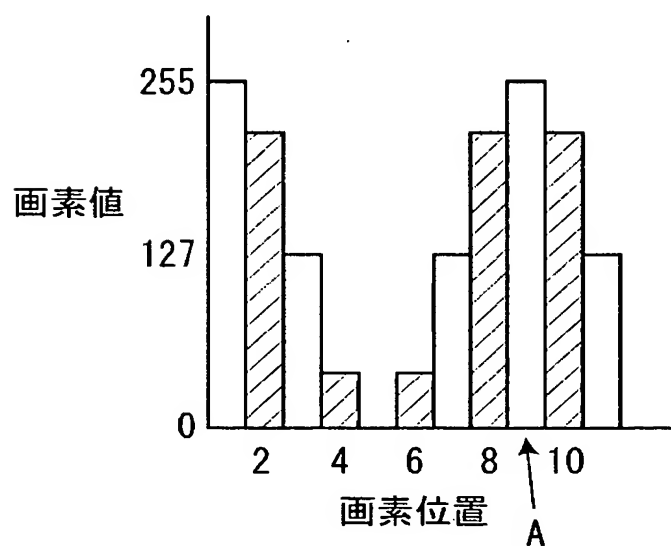
× 生成画素

【図 4】

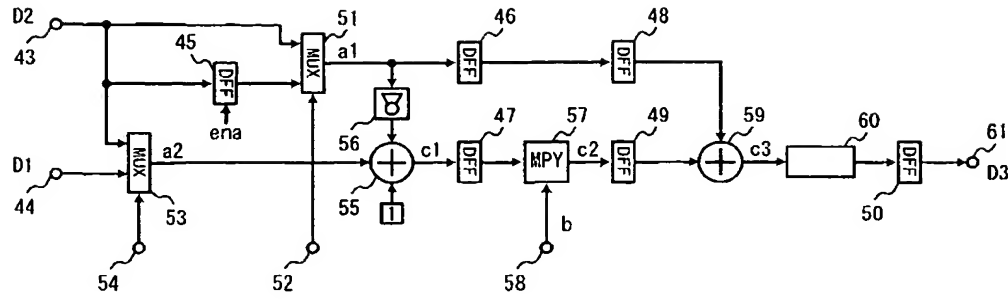


○ 実画素
× 生成画素

【図 5】

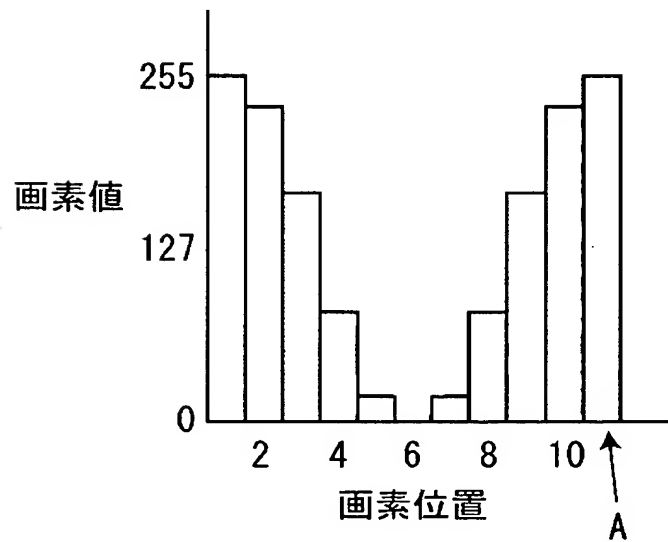


【図 6】

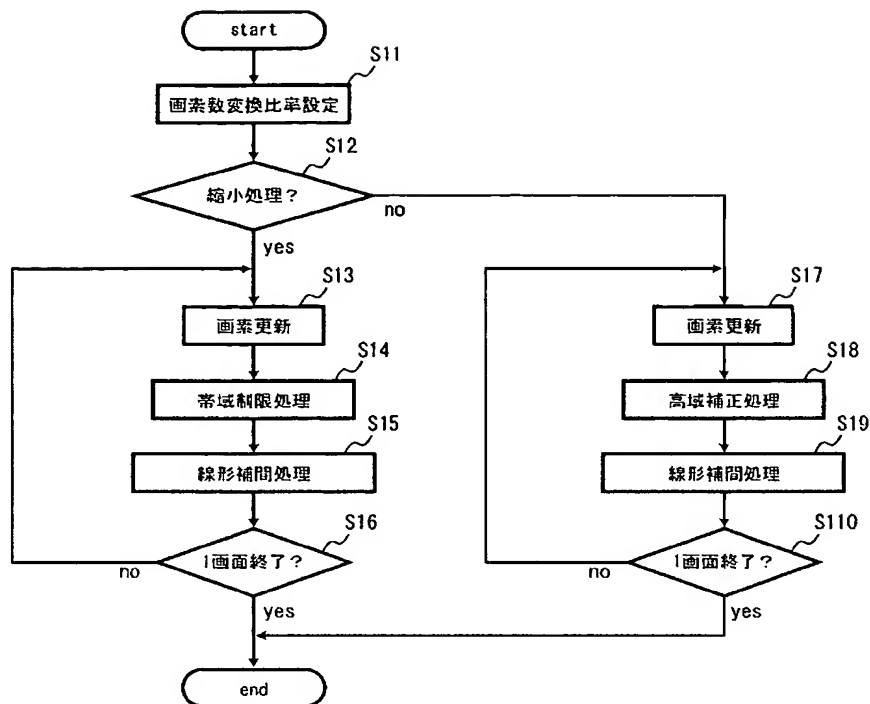


43、44、52、54、58…入力端子	60…四捨五入器
45～50…レジスタ	61…出力端子
51、53…セレクタ	D1…実画素の画素値
55、59…加算器	D2…生成画素の画素値
56…反転器	D3…補間画素の画素値
57…乗算器	

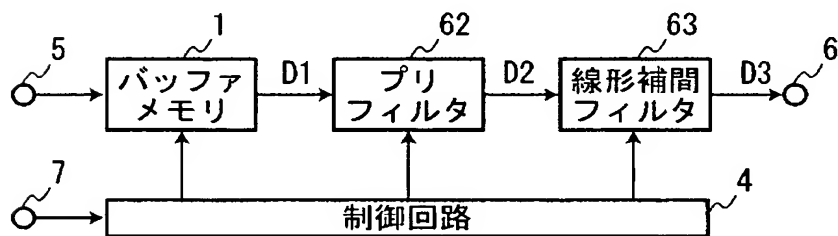
【図 7】



【図 8】



【図 9】



1…バッファメモリ

4…制御回路

5、7…入力端子

6…出力端子

62…プリフィルタ

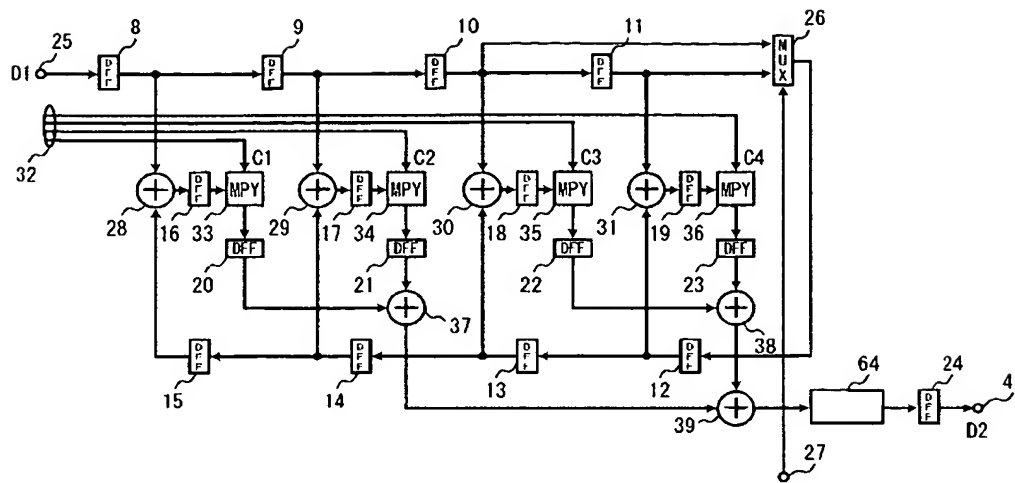
63…線形補間フィルタ

D1…実画素の画素値

D2…生成画素の画素値

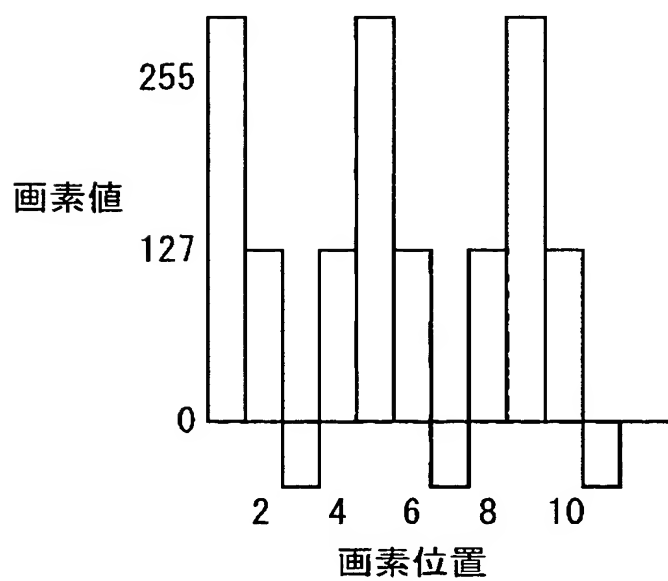
D3…補間画素の画素値

【図 10】

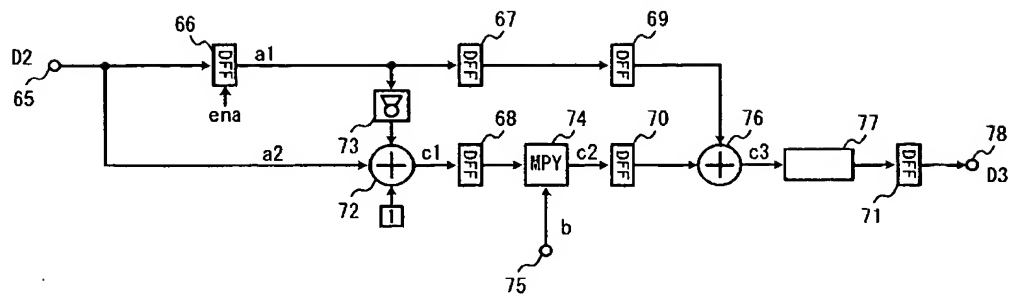


- | | |
|-----------------|--------------------|
| 8~24…レジスタ | 41…出力端子 |
| 25、27、32…入力端子 | 64…四捨五入器 |
| 26…セレクタ | D1…実画素の画素値 |
| 28~31、37~39…加算器 | D2…生成画素の画素値 |
| 33~36…乗算器 | C1、C2、C3、C4…フィルタ係数 |

【図 11】



【図 1 2】



65, 75…入力端子

77…振幅制限器

66～71…レジスタ

78…出力端子

72, 76…加算器

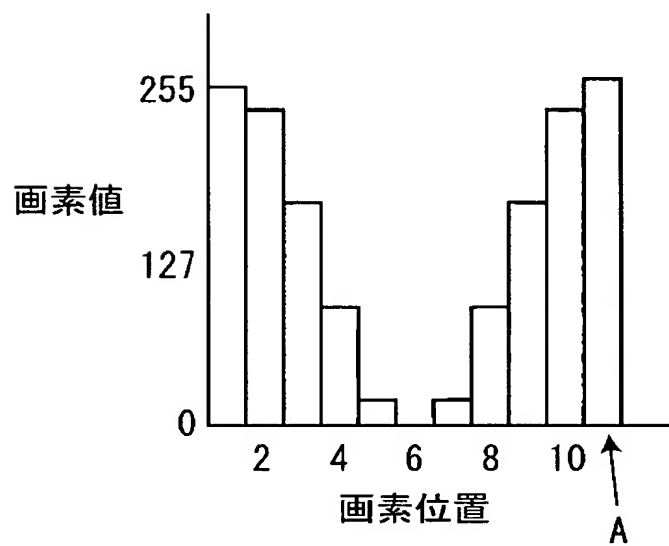
D2…生成画素の画素値

73…反転器

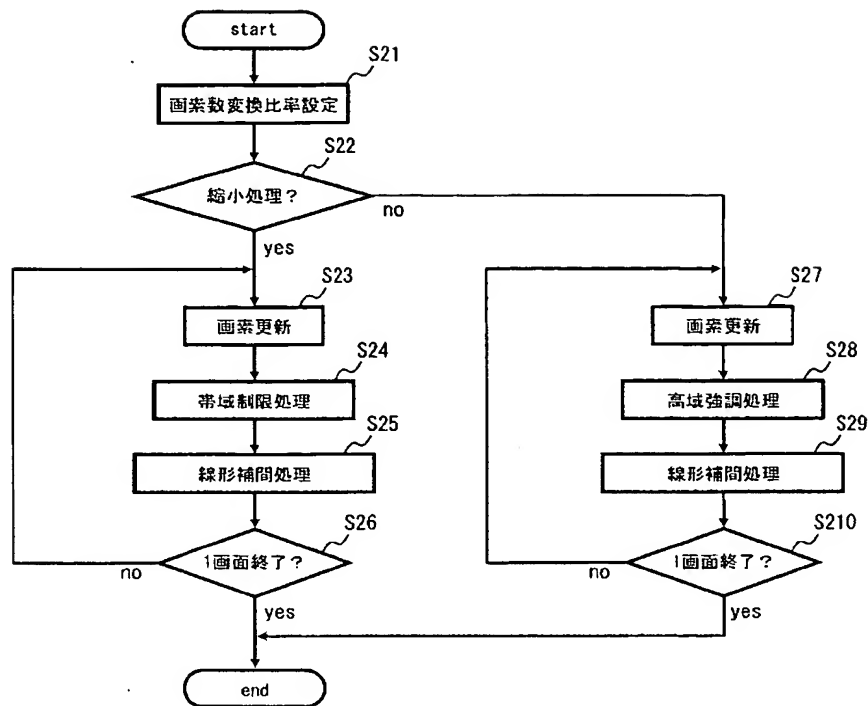
D3…補間画素の画素値

74…乗算器

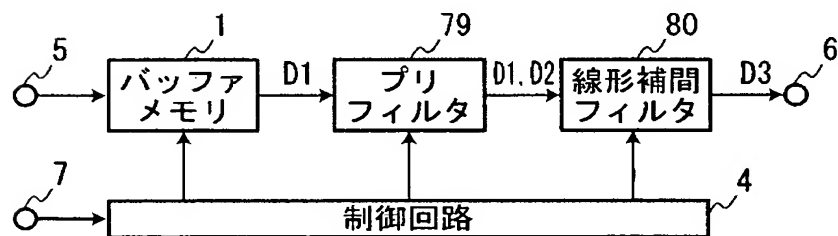
【図 1 3】



【図 14】



【図 15】



1…バッファメモリ

4…制御回路

5、7…入力端子

6…出力端子

79…プリフィルタ

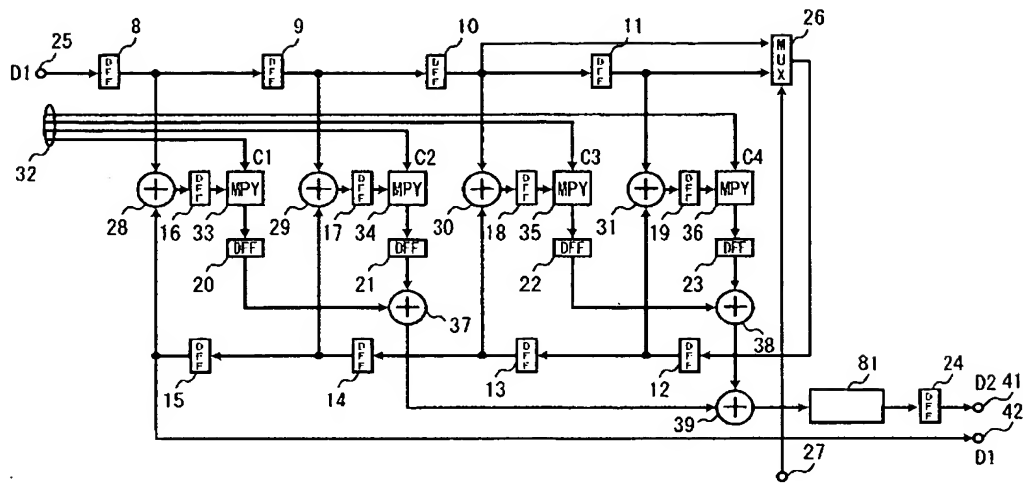
80…線形補間フィルタ

D1…実画素の画素値

D2…生成画素の画素値

D3…補間画素の画素値

【図 16】



8~24...レジスタ

25, 27, 32...入力端子

26...セレクタ

28~31, 37~39...加算器

33~36...乗算器

41, 42...出力端子

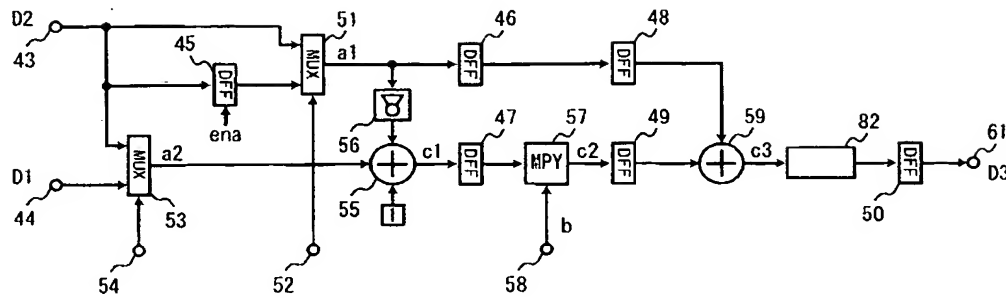
81...四捨五入器

D1...実画素の画素値

D2...生成画素の画素値

C1, C2, C3, C4...フィルタ係数

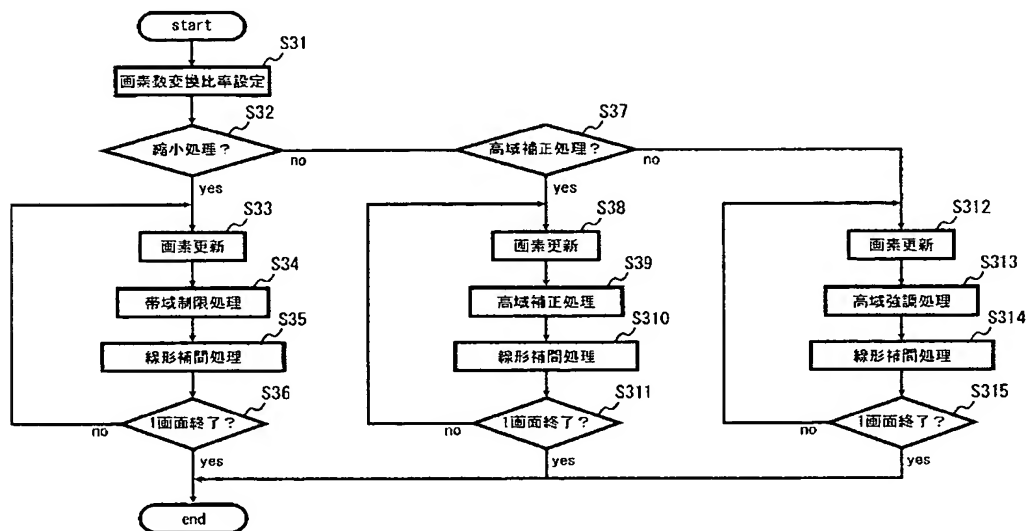
【図 17】



43、44、52、54、58…入力端子
 45～50…レジスタ
 51、53…セレクタ
 55、59…加算器
 56…反転器
 57…乗算器

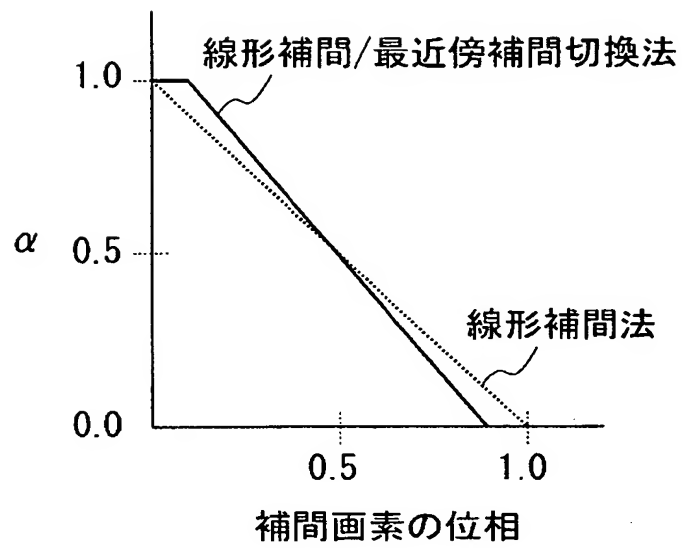
61…出力端子
 82…振幅制限器
 D1…実画素の画素値
 D2…生成画素の画素値
 D3…補間画素の画素値

【図 18】

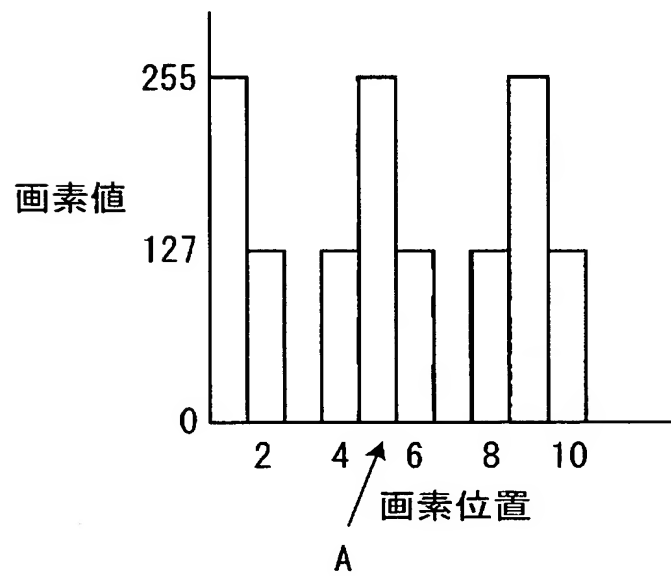




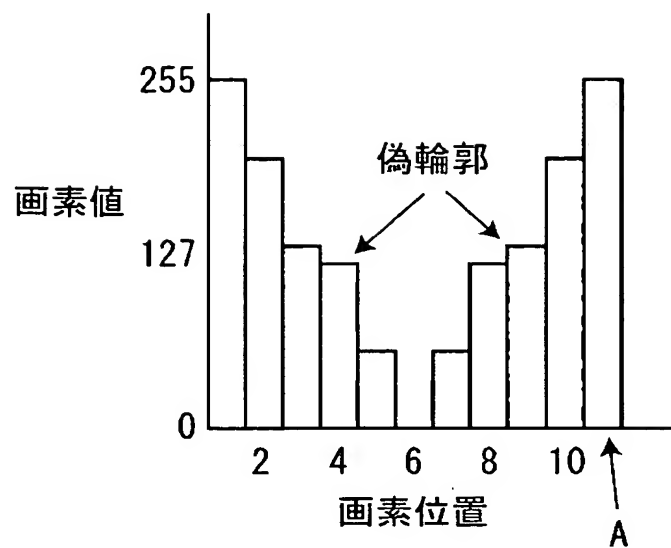
【図 19】



【図 20】



【図 21】





【書類名】 要約書

【要約】

【課題】 元画像の状態を維持しつつ、画像の画素数を変更する画像処理装置および画像処理方法を提供することを目的とする。

【解決手段】 実画素の画素値D1が入力され、この実画素の画素値D1を用いて高域補正された生成画素の画素値D2を算出するプリフィルタ2と、プリフィルタ2から実画素の画素値D1および生成画素の画素値D2が入力され、これらの画素値を用いて線形補間法により補間画素の画素値D3を算出する線形補間フィルタ3とを具備することを特徴としている。

【選択図】 図1



認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 1 5 3 5 5
受付番号	5 0 3 0 0 6 5 3 5 5 1
書類名	特許願
担当官	第二担当上席 0 0 9 1
作成日	平成 1 5 年 4 月 2 2 日

< 認定情報・付加情報 >

【提出日】 平成15年 4月21日

次頁無

特願 2 0 0 3 - 1 1 5 3 5 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝